

資料 1

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-172187

(43) 公開日 平成9年(1997)6月30日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/80		9447-4M	H 0 1 L 29/80	V
21/20			21/20	
21/205			21/205	
29/04			29/04	

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願平7-330084

(22) 出願日 平成7年(1995)12月19日

(71) 出願人 .000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大野 俊之

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 川瀬 大助

茨城県日立市幸町三丁目1番1号 株式会

社日立製作所日立工場内

(72) 発明者 岩崎 貴之

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 接合型電界効果半導体装置およびその製造方法

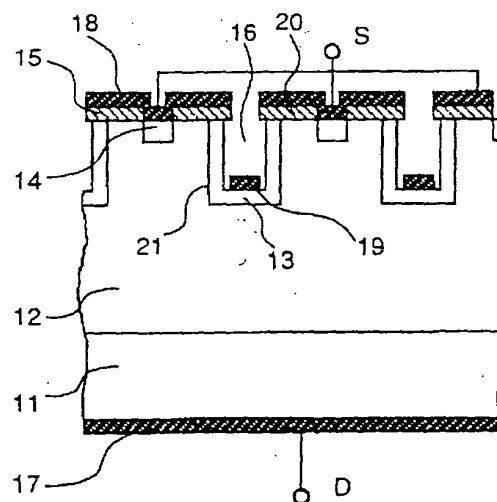
(57) 【要約】

【課題】 S i C 電界効果半導体装置のリーク電流を低減し信頼性を向上する。

【解決手段】 半導体装置の主表面を {0001} 面またはこれと等価な面に平行にして、かつ p n 接合が形成される溝部の側壁面が {1-100} 面またはこれと等価な面に平行になるように構成する。

【効果】 溝部の p n 接合面における結晶のポリタイプが一致するのでリーク電流の要因となる欠陥が低減する。

図 1



【特許請求の範囲】

【請求項1】六方晶の炭化珪素単結晶の{0001}面またはこれと等価な面を主表面とし、この主表面に溝部が形成され、溝部の側壁が炭化珪素単結晶の結晶学的面指数{1-100}面またはこれと等価な面に平行であることを特徴とする接合型電界効果半導体装置。

【請求項2】請求項1記載の接合型電界効果半導体装置において、前記溝部の側壁に平行にpn接合が形成されることを特徴とする接合型電界効果半導体装置。

【請求項3】以下の①～⑤の各工程を有することを特徴とする接合型電界効果半導体装置の製造方法。

①{0001}面またはこれと等価な面を主表面とするn型の導電型の高不純物濃度の六方晶炭化珪素単結晶ウエハを準備する工程、

②前記六方晶炭化珪素単結晶ウエハの主表面に、エピタキシャル成長によってn型の導電型の炭化珪素ドレイン層を形成する工程、

③前記ドレイン層の表面に、複数のn型の導電型のソース層をイオン注入により形成する工程、

④前記ソース層の形成部分に、その側壁が前記ドレイン層の表面に対して垂直方向であり、かつ、その結晶面が{1-100}面またはこれと等価な面に平行な溝部を形成する工程、

⑤前記溝部を覆うようにp型の導電型の炭化珪素層をエピタキシャル成長により形成する工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体材料として炭化珪素を用いる接合型電界効果半導体装置及びその製造方法に関する。

【0002】

【従来の技術】従来、動作電圧が数10Vから数100Vの範囲内にあり、かつ、作動電流が数100mAから数100A以上にも及ぶ、トランジスタやサイリスタなどのいわゆる電力用半導体装置やパワーICには、主としてシリコン(Si)やガリウム砒素(GaAs)の単結晶ウエハが用いられている。

【0003】ところで、近年になって、高速化する鉄道車両における速度制御技術や、発電所と変電所間における高圧送電技術等の進歩に伴って、これらの技術に用いられる電力用半導体装置に要求される作動電圧や作動電流の値が大きくなってきている。しかも、作動周波数も益々高まってくる傾向にある。また、パワーICについても、自動車や産業用ロボット等に使用される際の動作環境条件が厳しくなっており、高温状態の環境下における動作や、放射線照射状態の環境下における動作などに対して、高い信頼性が要求されている。

【0004】このような各種の要求に対応するため、SiやGaAsの単結晶ウエハを用いる半導体装置においては、その構造改善が積極的に進められ、特に高電圧化

及び大電流化については、半導体装置の大型化により対応している。しかし、大型の半導体装置が動作時に発生する熱を放熱する冷却装置が大型化するという問題が顕在化しつつある。一方、半導体素子の動作周波数の高周波化についても、半導体材料の基本的物性値からその特性向上に限界が見え始めている。

【0005】このような問題を打破するため、近年になって、半導体装置の構成材料として、エネルギー・バンドギャップの大きな炭化珪素(SiC)の単結晶が注目されている。このSiCはSiに比べてエネルギー・バンドギャップや絶縁破壊電界が数倍以上も大きく、小型の半導体装置でも、高電圧による動作及び大電流による動作が可能になる。さらに、動作可能温度も原理的にSiより数100℃以上も大きくできる可能性が有る。そして、SiCからなる半導体装置は、高電圧動作及び大電流動作においても、Siからなる半導体装置を十分に回る高周波特性が得られる可能性が有る。なお、このSiCの単結晶については、SiやGaAsと同様に立方晶のものと六方晶のものがあるが、バンドギャップや絶縁破壊電界などの特性は、六方晶の方がより優れている。

【0006】しかしながら、SiCは、半導体装置を形成するために必要な純度や大きさを備える単結晶を製造することが非常に困難であった。このため、SiCを用いた電力用半導体装置の研究開発はさほど進められていなかった。

【0007】これに対して、ごく最近になり、半導体装置を形成するために必要な比較的高い純度を有し、かつ、十分な大きさを持ったSiCの単結晶が比較的高効率で製造できる技術が開発され、SiCを素材にした半導体装置の開発が急ピッチで進められるようになってきた。一例としては、特開平4-239778号公報に開示されたMOSFETを挙げることができる。

【0008】図7は、SiCの単結晶によって形成された従来のMOSFETの断面図である。

【0009】SiCの単結晶からなる半導体基板内において、抵抗率が低いn+型層51、抵抗率が高いn-型ドレイン層52、p型ウエル層53が、この順に積層状態に構成される。p型ウエル層53の表面の一部にはn型ソース層54が形成される。n型ソース層54の形成部分には、n型ソース層54からp型ウエル層53を介してn-型ドレイン層52にまで達するように略垂直方向に切り込まれた細長い溝部56が形成されている。この溝部56には、その露出面を覆うように絶縁膜55が設けられ、絶縁膜55の上面にゲート電極59が配置される。n+型層51の開放面にドレイン電極57がオーミック接合され、p型ウエル層53の開放面とn型ソース層54の一部の表面にソース電極58がオーミック接合される。

【0010】

【発明が解決しようとする課題】しかしながら、SiC

を用いた従来の電界効果トランジスタは、SiCの長所を十分活かしたものはなっていない。それは以下の理由による。

【0011】従来の電界効果トランジスタはMOS型であるため、チャンネルはp型のウェル領域と絶縁膜の界面付近に形成される。SiCに形成される絶縁膜は熱酸化による二酸化珪素が一般的であるが、Siの場合と異なり、SiC上の熱酸化による二酸化珪素の形成はその形成機構が複雑であり、SiCと二酸化珪素界面には多数の欠陥が形成される。そのため、この界面付近に形成されるチャンネルを通過するキャリアはこの欠陥により散乱されるため、その移動度はSiC本来の値に比べて著しく低減してしまう。これはMOSFETのオン抵抗を増大させる。従って、理論上は優れた素子特性を示すSiCも、界面の特性が悪いためにその長所を十分活かしたものはなっていない。

【0012】

【課題を解決するための手段】本発明は、まず、六方晶の炭化珪素単結晶を半導体材料とした接合型電界効果半導体装置であることが特徴である。接合型にすることにより、制御される電流の経路がゲート層と絶縁膜の界面の近傍にはないため、本質的に界面の特性に影響を受けにくく、SiC材料本来の特性が反映されやすい。

【0013】さらに本発明の接合型電界効果半導体装置の具体的な構成上の特徴は、六方晶の炭化珪素単結晶の{0001}面またはこれと等価な面を主表面とし、この主表面に溝部が形成され、溝部の側壁が炭化珪素単結晶の結晶学的面指数(1-100)面またはこれと等価な面に平行であることである。ここで、指数中の記載「1」は、「1」の上方に「-」を付ける慣例的な表記方法と同じ意味を有する。

【0014】主表面を{0001}またはこれと等価な面とし、溝部の側壁を(1-100)面またはこれと等価な面と平行になるようにすると、溝部側壁に形成されたpn接合面における成長ポリタイプの相違による積層欠陥や、溝部形成の際に生ずるミクロな突起部分が低減される。このため、pn接合において逆方向電圧が印加された場合のブレークダウン電圧の低下を防ぎ、半導体装置の耐圧が向上する。さらに、本発明の接合型電界効果半導体装置の製造方法は次のような工程を有する。

【0015】①{0001}面またはこれと等価な面を主表面とするn型の導電型の高不純物濃度の六方晶炭化珪素単結晶ウェハを準備する工程、

②前記六方晶炭化珪素単結晶ウェハの主表面に、エピタキシャル成長によってn型の導電型の炭化珪素ドレイン層を形成する工程、

③前記ドレイン層の表面に、複数のn型の導電型のソース層をイオン注入により形成する工程、

④前記ソース層の形成部分に、その側壁が前記ドレイン層の表面に対して垂直方向であり、かつ、その結晶面が

{1-100}面またはこれと等価な面に平行な溝部を形成する工程、

⑤前記溝部を覆うようにp型の導電型の炭化珪素層をエピタキシャル成長により形成する工程。

【0016】本製造方法によれば、主表面を{0001}面またはこれと等価な面とする単結晶ウェハを用い、その表面に側壁が{1-100}面またはこれと等価な面と平行になるように溝部が形成されるので、工程⑤においてエピタキシャル成長により溝部側壁に形成されるpn接合面における成長ポリタイプの相違が起きにくい。従って、積層欠陥やミクロな突起部分が低減されるので、pn接合のブレークダウン電圧の低下が防止され半導体装置の耐圧が向上する。

【0017】上記本発明は、溝部の側壁にpn接合を有する半導体装置であれば、電界効果トランジスタ、電界効果サイリスタ、静電誘導トランジスタ、および静電誘導サイリスタなど各種の接合型電界効果半導体装置に対して有効である。また、前記側壁がpn接合となる場合に限らず、例えば、ショットキー接合であってもよい。

【0018】

【発明の実施の形態】図1は本発明を実施した接合型電界効果トランジスタの断面図である。本実施例は六方晶SiCを半導体材料として形成されるものである。抵抗率が低いn型(n+型)層11に接してこの層よりも抵抗率が高いn型(n-型)のドレイン層12が設けられる。ソース側においては、溝部16が形成され、半導体表面に凹凸を有する。凸部の頂部平面領域(以下主表面20と記す)にはドレイン層12よりも抵抗率が低いn型ソース層14が設けられる。凹部すなわち溝部16の側壁21および溝部16の底部には、p型層13が設けられる。ここでn型ソース層14とp型層13とは、これらの間にドレイン層12が介在しているので、互いに直接には接していない。n+型層11にはドレイン電極17がオーミック接触し、n型ソース層14にはソース電極18がオーミック接触する。さらに、溝部16の底部において、ゲート電極19がp型層13とオーミック接触する。なお、主表面20において、ドレイン層12及びp型層13の表面とソース電極18との間には酸化膜15が設けられる。これにより、ソース電極18とp型層13とが絶縁されている。

【0019】本実施例は、ドレイン電極17に所定の正の作動電圧を供給した状態において、ゲート電極19に電圧が印加されないとオン状態になる。ゲート電極19に負のゲート電圧を印加すると、溝部の側壁21に平行でp型層13とドレイン層12からなるpn接合には逆方向電圧が印加された状態になり、空乏層が拡がってソース電極とドレイン電極との間を流れるドレイン電流は制限される。そして、十分大きなゲート電圧下で本実施例はオフ状態になる。

【0020】図2(a)、(b)、(c)は六方晶炭化珪素

(SiC)の単結晶の単位格子における $\{0001\}$, $\{1-100\}$, $\{11-20\}$ 各結晶面を示す構造説明図である。

【0021】図2において、同一平面内にあり互いに120度で交叉するベクトル a_1 , a_2 , a_3 において、 a_1 は単位格子の $\langle 1000 \rangle$ 方向軸、 a_2 はその $\langle 0100 \rangle$ 方向軸、 a_3 はその $\langle 0010 \rangle$ 方向軸であり、また、 $\langle 1000 \rangle$ 方向軸 a_1 , $\langle 0100 \rangle$ 方向軸 a_2 , $\langle 0010 \rangle$ 方向軸 a_3 のそれぞれの軸に対して垂直な方向に伸びる鉛直軸が c 軸である。

【0022】そして、図2(a)の斜線で示すように、前記 $\langle 1000 \rangle$ 方向軸 a_1 , $\langle 0100 \rangle$ 方向軸 a_2 , $\langle 0010 \rangle$ 方向軸 a_3 のそれぞれに平行な面、即ち c 軸を鉛直線とする面が $\{0001\}$ 面である。また、図2(b)及び図2(c)の斜線で示す面がそれぞれ $\{1-100\}$ 面、 $\{11-20\}$ 面である。

【0023】図1に示した実施例においては、ソース層14はイオン注入で、p型層13はエピタキシャル成長で形成する。その際に、主表面20は六方晶SiCの $\{0001\}$ 結晶面、溝部16は側面の結晶面が $\{1-100\}$ 面となるようにする。それは以下のような理由による。

【0024】p型層13をエピタキシャル成長で形成する場合、p型層13はドレイン層12と同一のポリティプとなる必要がある。なぜなら、異なるポリティプとなった場合、その界面、すなわちpn接合面において構造欠陥を生じ、このpn接合に逆方向電圧が印加された場合に大きなリーク電流が発生する。

【0025】SiCにおけるポリティプとは $\{0001\}$ 面に平行な原子面の $\langle 0001 \rangle$ 方向の積層順序の違いに依存するものである。 $\{0001\}$ 面に平行な原子面には3種類の原子配置のものがあるので、これらをA, B, Cと区別して表すとすると、SiCのポリティプは $\langle 0001 \rangle$ 方向の積層におけるこのA, B, C順列の違いによって表現されるものである。例えば、6H-SiCはACBABC..., 4H-SiCはACBC...と表される。

【0026】一般にエピタキシャル成長では成長層の原子配列は下地の原子配列に強く依存する。従って、ドレイン層12の表面にエピタキシャル成長するp型層13のポリティプをドレイン層12と同一にするためには、ドレイン層12のp型層13と接する面の結晶方位は上記のA, B, Cなどの原子層の順列があらわに現れている結晶面が望ましい。そのためには、主表面20は $\{0001\}$ 面にするのがよい。

【0027】前述したように、溝部16の側壁面及び底面はpn接合の接合面となるから、可能な限り平坦である必要がある。通常、溝部16を形成するには反応性イオンエッチング法などの手法が用いられるが、エッチング面の平坦性は、マクロにみればエッチング条件の最適

化により達成されるものの、ミクロにはその結晶面に強く依存する。

【0028】六方晶SiCの $\{0001\}$ 面、即ち図1の主表面20の方向から見たSiCの原子配列を図3に示す。図3において、エッチングされる原子31を色付きの丸で、残留する原子32を白丸で、マクロにみた溝部16の側壁33を破線で示すと、側壁が $\{1-100\}$ 面と平行になるようにしたものが図3(a)である。この場合、側壁面の方向は原子の密な配列の方向と一致するため、エッチング面はミクロにみても平坦になる。

【0029】一方、側壁が $\{1-100\}$ 面以外の面、例えば $\{11-20\}$ 面と平行になるようにしたものが図3(b)である。この場合は、側壁面の方向は原子の密な配列の方向と一致しないため、マクロには平坦になっていたとしてもミクロにみるとエッチングは原子の密な配列の方向に沿ってなされるから、エッチング面は図3(b)に示すようにジグザグな面となる。その場合、p型層13との界面(pn接合面)もジグザグになるため、逆方向電圧が印加されたときには、その突出部に電界が集中し、ブレークダウンをもたらし恐れがある。従って、このような不都合は溝部16の側壁21を $\{1-100\}$ 面と平行になるようにすることにより防止できる。

【0030】なお、 $\{0001\}$ 面の方位を持つn+型層11上にドレイン層12をエピタキシャル成長によって形成する場合、欠陥の無い良好なエピタキシャル成長膜を得るためには、前記n+型層の主表面を $\{0001\}$ 面から6度ほど $\langle 11-20 \rangle$ 方向に傾けることが有効である。その場合でも、実際の結晶の主表面は $\{0001\}$ 面を表面方向とするステップが $\langle 11-20 \rangle$ 方向に階段状に並んでいるという構造になっている。かつ、この階段状の表面と $\{1-100\}$ 面とは垂直な位置関係となっているので、主表面を $\{0001\}$ 面から $\langle 11-20 \rangle$ 方向に数度傾けてもなら支障は生じない。

【0031】図4は、本発明の他の実施例である接合型電界効果トランジスタの構成を示す図であって、(a)は平面図、(b)はそのA-A'線部分から見た断面構成を示す斜視図である。本図において、図1に対応する部分または相当する部分には同一の符号を付けた。

【0032】本実施例においては、その主表面20が六方晶SiC単結晶の $\{0001\}$ 面に一致するように構成されている。さらに溝部16においては、その側壁面全面の結晶方位が六方晶SiC単結晶の $\{1-100\}$ 面に一致するように選ばれている。従って前述したように、p型層13とドレイン層12からなるpn接合面はミクロなスケールでみた場合においても平坦であるから、このpn接合に逆方向電圧が印加された場合において局所的な電界の集中は起きない。このため、オフ時のソースとドレイン間の漏れ電流が著しく低減されるよう

になる。

【0033】図5(a)～(f)は、図4に示した実施例の製造工程の一例を示す断面図である。本図において、図4に示された構成要素と同じ構成要素には同じ符号を付けている。

【0034】まず、図5(a)に示すように、n+型層11として、n+型の低い抵抗率を有し結晶面方位{0001}が主表面20になるように切り出した六方晶SiCの単結晶ウエハを準備する。この単結晶ウエハ(n+型層11)の主表面20側に、水素をキャリアガスとしてシランとプロパンを原料ガスに用い、n型の不純物ガスを添加しながらエピタキシャル成長させて所望の抵抗率と厚みを持ったn型のドレイン層12を形成する。

【0035】次に、図5(b)に示すように、ドレイン層12の表面を部分的に酸化して酸化膜15を形成し、この酸化膜をマスクにしてn型不純物のイオン打ち込みを行い、部分的にn型ソース層14を形成する。

【0036】次に、図5(c)に示すように、主表面20全体に酸化膜を形成し、ドレイン層12表面の溝部16を形成する箇所にホトリソグラフィによって酸化膜を除去して窓をあける。その際、溝部の側壁が六方晶SiCの{1-100}面に一致するように酸化膜をパターンニングする。具体的には、図4(a)に示したような平面パターンになるようにする。

【0037】次に、図5(d)に示すように、酸化膜をマスクとして、反応性イオンエッチングにより主表面20に垂直に溝部16を形成する。前工程における酸化膜のパターンニングにより、溝部16の側壁が六方晶SiCの{1-100}面に一致する。

【0038】次に、図5(e)に示すように、溝部16の内壁に、水素をキャリアガスとしてシランとプロパンを原料ガスに用い、p型の不純物ガスを添加しながらエピタキシャル成長させてp型層13を形成する。

【0039】さらに、図5(f)に示すように、n型ソース層14を覆っていた酸化膜をエッチングして、n型ソース層14上に金属膜からなるソース電極18を形成する。これと同時に、溝部16の底面に金属膜からなるソース電極19を形成する。一方、単結晶ウエハの他の開放面に金属膜からなるドレイン電極17を形成する。

【0040】図6は、本発明を実施した別の実施例である電界効果トランジスタの構成を示す平面図である。図6において、図1に示された構成要素と同じ構成要素には同じ符号を付けている。各トランジスタの主表面21は六方晶SiCの単結晶の{0001}面に一致するように構成されており、主表面21には垂直方向に溝部16が設けられている。これらの溝部16は、上面から見

て、それぞれ(a)細長い六角形状からなる溝部、(b)台形状からなる溝部、(c)平行四辺形状からなる溝部である。かつ、これらの溝部の側壁は、いずれも、六方晶SiCの単結晶の{1-100}面に一致する方向に形成されている。

【0041】これらの実施例においても、図1や図4の実施例と同様に、溝部16の側壁面21に平行なpn接合においては、p層とn層を構成するSiCのポリタイプの相違が起こらず、積層欠陥を生じることはない。また、pn接合界面はミクロなスケールでみた場合においても平坦である。従って、pn接合に逆方向電圧が印加された場合においても電界の集中が起きないので、オフ時のソースとドレイン間の漏れ電流を著しく低減させることができる。

【0042】なお、各実施例における各結晶面は、結晶学的に等価な面であれば上述した指数と異なる指数を有する面であってもよい。

【0043】

【発明の効果】本発明によれば、六方晶炭化珪素の単結晶を素材とした電界効果トランジスタのリーク電流を著しく小さくすることができ、信頼性を大幅に向上することができる。

【図面の簡単な説明】

【図1】本発明を実施した接合型電界効果トランジスタの断面図である。

【図2】六方晶炭化珪素(SiC)の単結晶の単位格子における{0001}、{1-100}、{11-20}各結晶面を示す構造説明図である。

【図3】六方晶SiCの{0001}面、即ち図1の主表面20の方向から見たSiCの原子配列を示す図である。

【図4】本発明の他の実施例である接合型電界効果トランジスタの構成を示す図であって、(a)は平面図、(b)はそのA-A'線部分から見た断面構成を示す斜視図である。

【図5】図4に示した実施例の製造工程の一例を示す断面図である。

【図6】本発明を実施した別の実施例である電界効果トランジスタの構成を示す平面図である。

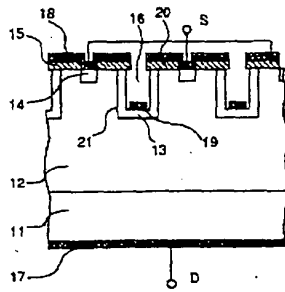
【図7】SiCの単結晶によって形成された従来のMOSFETの断面図である。

【符号の説明】

11…n+型層、12…ドレイン層、13…p型層、14…n型ソース層、15…酸化膜、16…溝部、17…ドレイン電極、18…ソース電極、19…ゲート電極、20…半導体基板の主表面、21…溝部の側壁。

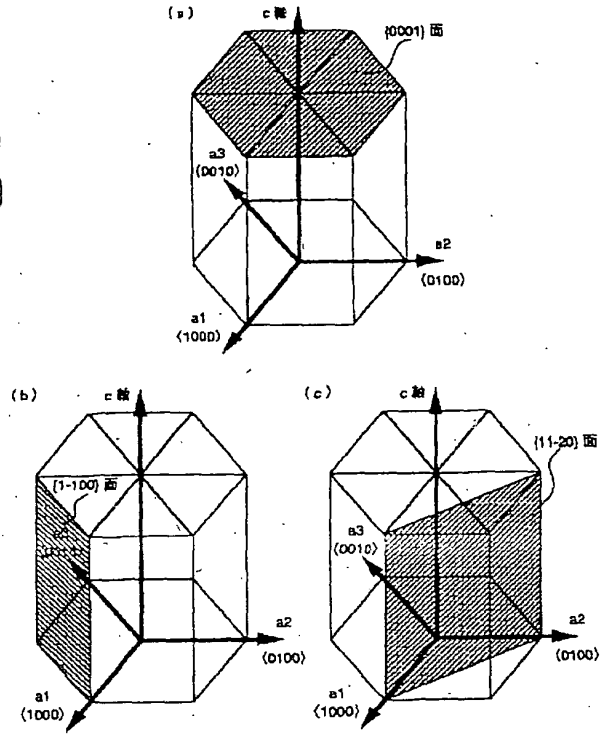
【図1】

図 1



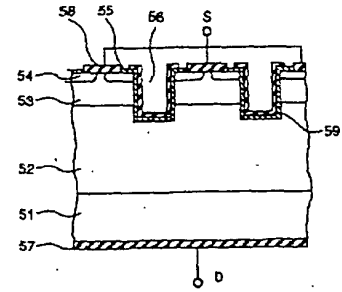
【図2】

図 2



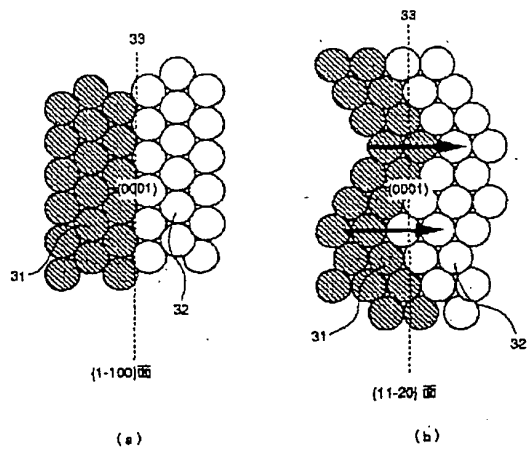
【図7】

図 7



【図3】

図 3



フロントページの続き

(72)発明者 八尾 勉

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内